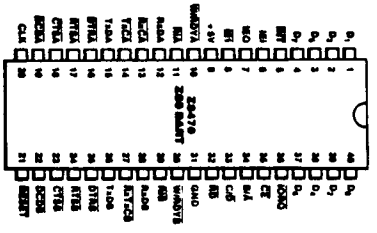


Zilog

Z08470 Customer
Procurement Spec (CPS)

GENERAL DESCRIPTION

The Z80 DART (Dual-Channel Asynchronous Receiver/Transmitter) is a dual-channel, multifunction peripheral component that satisfies a wide variety of asynchronous serial data communications requirements in microcomputer systems. The Z80 DART is used as a serial-to-parallel, parallel-to-serial, converter/controller in asynchronous applications. In addition, the device also provides modem controls for both channels. In applications where modem controls are not needed, these lines can be used for general-purpose I/O.



40-Pin Dual-In-Line Package (DIP),
Pin Assignments

Z80 is a registered trademark of Zilog, Inc.

Copyright 1986 by Zilog, Inc.
All rights reserved. Specifications (parameters) on products delivered in the future are subject to change without notice. All parameters are tested, except those which are characterized or guaranteed by design.

Zilog, Inc. 1315 Dell Ave. Campbell, California 95008
Telephone (408) 370-8000 TWX 910-338-7621

00-2847-01

(MARCOM) DC2847 DOCUMENT CONTROL
MASTER

DC CHARACTERISTICS

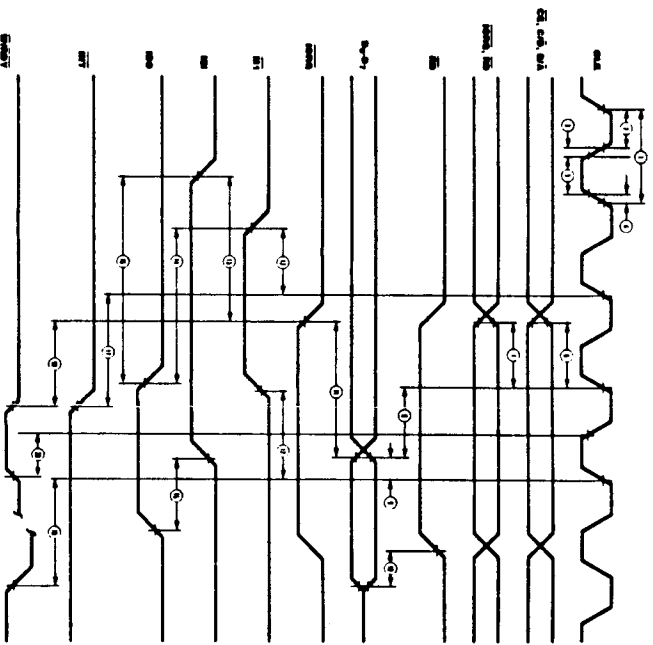
Symbol	Parameter	Min	Max	Units	Test Conditions
V _{CC}	Clock Input Low Voltage	-0.2 ^a	+0.45 ^b	V	V _{CC} = 2.0 mA 0.4 < V _{IN} < 2.0 V 0.4 < V _{OUT} < 2.0 V R _{IN} Load Current 100 μA
V _{CC}	Clock Input High Voltage	V _{CC} - 0.8 ^a	+0.85 ^b	V	
V _{IN}	Input Low Voltage	-0.2 ^a	+0.18 ^b	V	
V _{IN}	Input High Voltage	+2.0 ^a	+0.85 ^b	V	
V _{OH}	Output Low Voltage	+0.4 ^a	+0.4 ^b	V	
V _{OH}	Output High Voltage	+2.4 ^a	+1.0 ^b	V	
I _{OL}	Input/3-State Output Leakage Current	-10 ^a	+10 ^b	μA	
I _{OH}	Input/3-State Output Leakage Current	-40 ^a	+10 ^b	μA	
I _{CC}	Power Supply Current		100 ^a	mA	
V _{CC}	V _{CC} - 0.2V to V _{CC} + 0.2V, 2.0V				

^a Tested
^b Guaranteed by Design
^c Guaranteed by Characterization

AC CHARACTERISTICS^a

Number	Symbol	Parameter	280-4 DART		280-6 DART	
			Min	Max	Min	Max
1	T _{DC}	Clock Cycle Time	250 ^a	4000 ^a	185 ^a	4000 ^a
2	T _{HCH}	Clock Width (High)	105 ^a	2000 ^a	70 ^a	2000 ^a
3	T _{TC}	Clock Fall Time		30 ^a		15 ^a
4	T _{CC}	Clock Rise Time		30 ^a		15 ^a
5	T _{HC}	Clock Width (Low)	105 ^a	2000 ^a	70 ^a	2000 ^a
6	T _{ANDQ}	CE, C _{EN} , S _{UT} to Clock Setup Time	145 ^a		80 ^a	
7	T _{ORCQ}	ORC, R _{ST} to Clock Setup Time	115 ^a		80 ^a	
8	T _{DCDQ}	Clock 1 to Data Out Delay		220 ^a		150 ^a
9	T _{ANDQ}	Data In to Clock Setup (Write or Hit Cycle)	50 ^a		30 ^a	
10	T _{ANDQDQ}	R _{ST} to Data Out Read Delay		110 ^a		80 ^a
11	T _{ANDQDQ}	ORC, R _{ST} to Data Out Delay (TRACK Cycle)		180 ^a		100 ^a
12	T _{ANDQ}	R _{ST} to Clock Setup Time	80 ^a		75 ^a	
13	T _{ANDQ}	E ₁ to ORC Setup Time (TRACK Cycle)	140 ^a		120 ^a	
14	T _{ANDQ}	R _{ST} to R _{ST} Delay (format before hit)	180 ^a		180 ^a	
15	T _{ANDQ}	E ₁ to R _{ST} Delay (after ED decode)	100 ^a		70 ^a	
16	T _{ANDQ}	E ₁ to R _{ST} Delay	100 ^a		70 ^a	
17	T _{ANDQ}	Clock 1 to R _{ST} Delay	200 ^a		150 ^a	
18	T _{ANDQ}	ORC, R _{ST} or CE 1 to W/R _{ST} Delay (Ready Mode)	210 ^a		175 ^a	
19	T _{ANDQ}	Clock 1 to W/R _{ST} Delay (Ready Mode)	120 ^a		100 ^a	
20	T _{ANDQ}	Clock 1 to W/R _{ST} Read Delay (Hit Mode)	130 ^a		110 ^a	

^a Units in microseconds (μs)
^b Tested
^c Guaranteed by Design
^d Guaranteed by Characterization



AC CHARACTERISTICS (Continued)

Number	Symbol	Parameter	280-4 DART		280-6 DART	
			Min	Max	Min	Max
1	T _{WH}	Pulse Width (High)	200 ^a	200 ^a		
2	T _{WL}	Pulse Width (Low)	200 ^a	200 ^a		
3	T _{CH}	CE Cycle Time	400 ^a	300 ^a	300 ^a	300 ^a
4	T _{WC}	CE Width (Low)	180 ^a	100 ^a	100 ^a	100 ^a
5	T _{WC}	CE Width (High)	180 ^a	100 ^a	100 ^a	100 ^a
6	T _{ANDQ}	CE 1 to DQ Delay	300 ^a		220 ^a	
7	T _{ANDQ}	ORC 1 to W/R _{ST} Delay (Ready Mode)	5 ^a	9 ^a	5 ^a	9 ^a
8	T _{ANDQ}	ORC 1 to R _{ST} Delay	5 ^a	9 ^a	5 ^a	9 ^a
9	T _{ANDQ}	R _{ST} Cycle Time	400 ^a	300 ^a	300 ^a	300 ^a
10	T _{ANDQ}	R _{ST} Width (Low)	180 ^a	100 ^a	100 ^a	100 ^a
11	T _{ANDQ}	R _{ST} Width (High)	180 ^a	100 ^a	100 ^a	100 ^a
12	T _{ANDQ}	R _{ST} to R _{ST} Setup Time (Hit Mode)	0 ^a	0 ^a	0 ^a	0 ^a
13	T _{ANDQ}	R _{ST} Hold Time (Hit Mode)	140 ^a	100 ^a		
14	T _{ANDQ}	ORC 1 to W/R _{ST} Delay (Ready Mode)	10 ^a	13 ^a	10 ^a	13 ^a
15	T _{ANDQ}	ORC 1 to R _{ST} Delay	10 ^a	13 ^a	10 ^a	13 ^a

^a In all modes, the System Clock rate must be at least five times the maximum data rate. RESET must be active a minimum of one complete clock cycle.
¹ Units equal to System Clock Period.
² Units in microseconds (μs)
^b Tested
^c Guaranteed by Design
^d Guaranteed by Characterization

Данный компонент на территории Российской Федерации

Вы можете приобрести в компании MosChip.

Для оперативного оформления запроса Вам необходимо перейти по данной ссылке:

<http://moschip.ru/get-element>

Вы можете разместить у нас заказ для любого Вашего проекта, будь то серийное производство или разработка единичного прибора.

В нашем ассортименте представлены ведущие мировые производители активных и пассивных электронных компонентов.

Нашей специализацией является поставка электронной компонентной базы двойного назначения, продукции таких производителей как XILINX, Intel (ex.ALTERA), Vicor, Microchip, Texas Instruments, Analog Devices, Mini-Circuits, Amphenol, Glenair.

Сотрудничество с глобальными дистрибьюторами электронных компонентов, предоставляет возможность заказывать и получать с международных складов практически любой перечень компонентов в оптимальные для Вас сроки.

На всех этапах разработки и производства наши партнеры могут получить квалифицированную поддержку опытных инженеров.

Система менеджмента качества компании отвечает требованиям в соответствии с ГОСТ Р ИСО 9001, ГОСТ РВ 0015-002 и ЭС РД 009

Офис по работе с юридическими лицами:

105318, г.Москва, ул.Щербаковская д.3, офис 1107, 1118, ДЦ «Щербаковский»

Телефон: +7 495 668-12-70 (многоканальный)

Факс: +7 495 668-12-70 (доб.304)

E-mail: info@moschip.ru

Skype отдела продаж:

moschip.ru

moschip.ru_4

moschip.ru_6

moschip.ru_9